

Country: **JP** Japan

Kind:

Inventor(s): **BAYS LAURENCE EDWARD**
MUSCAVAGE RICHARD
NORSWORTHY STEVEN R

Applicant(s): **AT & T CORP**
News, Profiles, Stocks and More about this company

Issued/Filed Dates: **Sept. 19, 1995** / Dec. 16, 1994

Application Number: **JP1994000312271**

IPC Class: **H04B 14/04**; H03H 17/02; H03M 1/12; H03M 1/66; H03M 3/04;

Priority Number(s): Dec. 16, 1993 **US1993000168447**

Abstract: **Purpose:** To reduce the number of times of interruption to a relating digital signal processor in a data converter for converting signals from an analog form to a digital form or from the digital form to the analog form inversely.



Constitution: These data converters 90 and 92 are provided with FIFOs 44 and 64, the FIFOs 44 and 64 receive and temporarily store digital data samples and the digital data samples can be transferred from the FIFOs 44 and 64 in the same order of being received. The digital signal processor 50 connected to the FIFOs 44 and 64 is capable of the interruption so as to transfer the digital data samples to the FIFOs 44 and 64 or from the FIFOs 44 and 64. In such a manner, the digital signal processor 50 transfers the plural digital data samples to the FIFOs 44 and 64 or from the FIFOs 44 and 64 during each interruption without transferring a single data sample at each interruption.
COPYRIGHT: (C)1995,JPO

Family: Show known family members

Other Abstract Info: none

Foreign References: No patents reference this one

Best Available Copy

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-245593

(43)公開日 平成7年(1995)9月19日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 14/04	Z	9372-5K		
H 0 3 H 17/02	D	8842-5J		
H 0 3 M 1/12	B			
1/66	A			
3/04		8842-5J		

審査請求 未請求 請求項の数22 OL (全 9 頁)

(21)出願番号 特願平6-312271

(22)出願日 平成6年(1994)12月16日

(31)優先権主張番号 1 6 8 4 4 7

(32)優先日 1993年12月16日

(33)優先権主張国 米国 (US)

(71)出願人 390035493

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP.

アメリカ合衆国 10013-2412 ニューヨーク
ニューヨーク アヴェニュー オブ
ジ アメリカズ 32

(72)発明者 ローレンス エドワード ベイズ

アメリカ合衆国 18103 ペンシルヴァニア,
アレントタウン, ハンプトン コート
2821

(74)代理人 弁理士 岡部 正夫 (外2名)

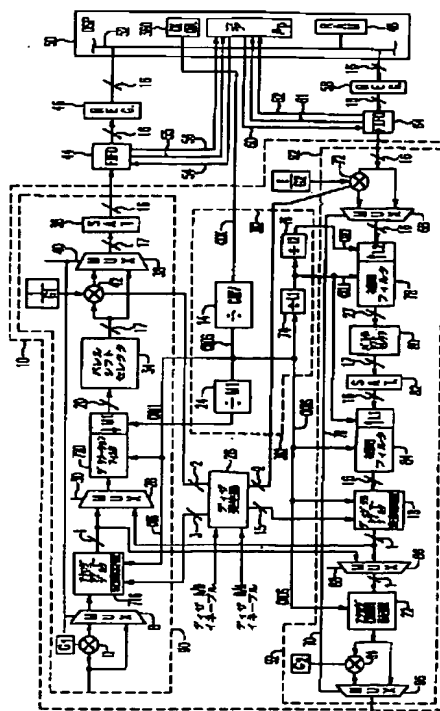
最終頁に続く

(54)【発明の名称】 F I F O 付きデータ変換器

(57)【要約】 (修正有)

【目的】 信号をアナログ形式からデジタル形式へ、又は逆にデジタル形式からアナログ形式に変換するデータ変換器において、関連するデジタル信号プロセッサへの割込回数を減らす。

【構成】 データ変換器90、92はF I F O 4 4、6 4を含む。F I F Oはデジタルデータサンプルを受け取って一時的に格納する。デジタルデータサンプルは受け取られたと同じ順にF I F Oから転出可能である。F I F Oに結合されたデジタル信号プロセッサ50は、F I F Oへ、あるいはF I F Oからデジタルデータサンプルを転送するために割り込み可能である。この様にして、デジタル信号プロセッサ、割り込みごとに単一のデータサンプルを転送するのではなく、複数のデジタルデータサンプルを各割り込み中にF I F Oへ、あるいはF I F Oから転送する。



【特許請求の範囲】

【請求項1】 信号形式を一形式から別形式に変換する装置において、

第一形式を有する信号から第二形式を有する信号へ変換する変換器（例えば90または92）であって、該形式の一つはアナログで、該形式の他方はデジタルである変換器と、

デジタルデータサンプルを受け取り一時的に格納する記憶レジスタ（例えば44または64）であって、該デジタルデータサンプルは該記憶レジスタ（例えば44または64）から該デジタルデータサンプルが受け取られたと同じ順序で転出可能である記憶レジスタと、該記憶レジスタ（例えば44または64）に結合されたデジタルプロセッサ（例えば50）であって、デジタルデータサンプルを該記憶レジスタ（例えば44または64）へあるいは該記憶レジスタ（例えば44または64）から転送するために割り込み可能であるデジタルプロセッサ（例えば50）とから成る装置。

【請求項2】 請求項1に記載の装置において、該記憶レジスタ（例えば44または46）は先入れ先出しレジスタであることを特徴とする装置。

【請求項3】 請求項2に記載の装置において、該記憶レジスタ（例えば44または64）は更に深度フラグ（例えば54または60）と、該深度フラグ（例えば54または60）はあらかじめ選択された深度値に設定されており、該先入れ先出しレジスタ（例えば44または46）に格納されたデジタルデータサンプル数があらかじめ選択された深度フラグ値に等しくなったとき発生されるデジタルプロセッサ割り込みとから成り、これにより、与えられた数のデジタルデータサンプルを転送するためのデジタルプロセッサ割り込み数が減少されることを特徴とする装置。

【請求項4】 請求項2に記載の装置において、該記憶レジスタ（例えば44または46）は更に割り込みフラグ（例えば56または62）で構成されることを特徴とする装置。

【請求項5】 請求項2に記載の装置において、該記憶レジスタ（例えば44または46）は更に状態フラグ（例えば55または61）から成り、該状態フラグはデータを格納するレジスタ位置数を示すことを特徴とする装置。

【請求項6】 請求項1に記載の装置において、該デジタルプロセッサ（例えば50）はサンプリング率変換を提供する事を特徴とする装置。

【請求項7】 請求項6に記載の装置において、該サンプリング率変換はデシメーションであることを特徴とする装置。

【請求項8】 請求項6に記載の装置において、デジタルプロセッサ（例えば50）は深度フラグを有し、該サンプリング率変換は係数を定義し、該係数は該深度フ

ラグの約数であることを特徴とする装置。

【請求項9】 請求項6に記載の装置において、デジタルプロセッサ（例えば50）は深度フラグを有し、該サンプリング率変換は係数を定義し、該係数は該深度フラグの倍数であることを特徴とする装置。

【請求項10】 一つの信号形式を別形式に変換する装置において、

アナログ信号をデジタルデータストリームに変化する変換器（例えば90）と、

10 デジタルデータストリームを該変換器から受け取り、該デジタルデータストリームを格納する記憶手段（例えば44）であって、該データが該変換器（例えば90）により生成されると一データサンプルずつ該デジタルデータストリームを受け取り、受け取られた順に該データを一時的に格納する記憶手段（例えば44）と、該格納されたデジタルデータを該記憶手段（例えば44）から格納された順に削除するデジタル信号プロセッサ（例えば50）であって、各割り込み時に複数のデジタルデータサンプルを削除するデジタル信号プロセッサ（例えば50）とから成る装置。

20 【請求項11】 請求項10に記載の装置において、該記憶手段（例えば44）は先入れ先出しレジスタであることを特徴とする装置。

【請求項12】 請求項11に記載の装置において、先入れ先出しレジスタ（例えば44）は更に深度フラグ（例えば54）と、該深度フラグ（例えば54）はあらかじめ選択された深度値に設定されており、該先入れ先出しレジスタ（例えば44）に格納されたデジタルデータサンプル数があらかじめ選択された深度フラグ値に等しくなったとき発生されるデジタル信号プロセッサ割り込みとから成り、これにより、与えられた数のデジタルデータサンプルを転送するためのデジタル信号プロセッサ割り込み数が減少されることを特徴とする装置。

【請求項13】 請求項10に記載の装置において、該デジタルプロセッサはサンプリング率変換を提供する事を特徴とする装置。

【請求項14】 請求項13に記載の装置において、該サンプリング率変換はデシメーションであることを特徴とする装置。

【請求項15】 請求項13に記載の装置において、デジタルプロセッサ（例えば50）は深度フラグを有し、該サンプリング率変換は係数を定義し、該係数は該深度フラグの約数であることを特徴とする装置。

【請求項16】 請求項13に記載の装置において、デジタルプロセッサ（例えば50）は深度フラグを有し、該サンプリング率変換は係数を定義し、該係数は該深度フラグの倍数であることを特徴とする装置。

【請求項17】 一つの信号形式を別形式に変換する装置において、

一連のデジタルデータサンプルを提供するデジタル信号プロセッサ（例えば 50）であって、各割り込み時に複数のデジタルデータサンプルを提供するデジタル信号プロセッサ（例えば 50）と、

デジタルデータサンプルを該デジタル信号プロセッサ（例えば 50）から受け取る記憶手段（例えば 64）であって、該デジタルデータサンプルを受け取られた順に一時的に格納し、一サンプルずつデジタルデータサンプルを出力として提供する記憶手段（例えば 64）と、

該記憶手段（例えば 64）からデジタルデータサンプルを受け取り、該デジタルデータサンプルをアナログ信号に変換する変換器（例えば 92）とから成る装置。

【請求項 18】 請求項 17 に記載の装置において、該記憶手段（例えば 64）は先入れ先出しレジスタであることを特徴とする装置。

【請求項 19】 請求項 18 に記載の装置において、先入れ先出しレジスタ（例えば 64）は更に深度フラグと、該深度フラグ（例えば 60）はあらかじめ選択された値に設定されており、該先入れ先出しレジスタ（例えば 64）に格納されたデジタルデータサンプル数があらかじめ選択された深度フラグ値に等しくなったとき発生されるデジタル信号プロセッサ割り込みとから成り、これにより、与えられた数のデジタルデータサンプルを転送するためのデジタル信号プロセッサ割り込み数が減少されることを特徴とする装置。

【請求項 20】 請求項 17 に記載の装置において、デジタル信号プロセッサ（例えば 50）は深度フラグを有し、該サンプリング率変換は係数を定義し、該係数は該深度フラグの約数であることを特徴とする装置。

【請求項 21】 請求項 17 に記載の装置において、デジタル信号プロセッサ（例えば 50）は深度フラグを有し、該サンプリング率変換は係数を定義し、該係数は該深度フラグの倍数であることを特徴とする装置。

【請求項 22】 アナログ信号を第一デジタルデータストリームに変換するアナログーデジタル変換器（例えば 90）と、

該第一データストリームを該アナログーデジタル変換器から受け取る第一記憶手段（例えば 44）であって、該デジタルデータが該アナログーデジタル変換器により生成されると一サンプルずつ該デジタルデータストリームを受け取り、受け取られた順に該デジタルデータを一時的に格納する第一記憶手段（例えば 44）と、

該デジタルデータを該第一記憶手段（例えば 44）から格納された順に削除するデジタルプロセッサ（例えば 50）であって、各書き込み割り込み時に複数のサンプルを削除し、書き込み割り込み時に第 2 デジタルデータストリームの複数のサンプルを提供するデジタルプロセッサ（例えば 50）と、

該デジタルプロセッサ（例えば 50）から該第 2 デジタルデータストリームを受け取る第二記憶手段（例えば 64）であって、受け取られた順に該第二デジタルデータストリームのデジタルデータサンプルを一時的に格納し、該第二デジタルデータストリームの該デジタルデータサンプルを一サンプルずつ出力として提供する第二記憶手段（例えば 64）と該第二デジタルデータストリームのデジタルデータサンプルをアナログ信号に変換するデジタルーアナログ変換器（例えば 92）とから成る装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本出願は、一般に信号をアナログ形式からデジタル形式へ、あるいは逆にデジタル形式からアナログ形式に変換するためのエンコーダまたはデコーダ等のデータ変換器に関し、特に変換器の使用要求に応えるためにその動作に対し割り込みをかけられるデジタル信号プロセッサ（DSP）を含む変換器に関する。

20 【0002】

【技術の技術】 データ変換器は、電話交換装置、音声帯域データ通信、通話符号化システム、オーディオ及びビデオ信号処理装置など多くの用途に用いられている。オーバーサンプリングされたアナログーデジタル（A/D）変換器は、周期的デジタルサンプルのサンプリング率をオーバーサンプリング A/D 変換器の高い率から引き下げる 1 つまたは複数のデシメーション段階を含む。オーバーサンプリング A/D 変換器がデジタルサンプルを生成するたびに、デジタルサンプルを獲得し、そのサンプルを DSP メモリに書き込むために DSP は割り込みをかけられる。あるいは、A/D 出力レジスタの状態をポーリングすることにより、デジタルサンプルを DSP により獲得することが可能である。DSP により十分な数のサンプルが獲得されると、DSP はそれらのサンプルをろ波・デシメートするルーチンに分岐することができ、単一のデシメートされたサンプルとなる。オーバーサンプリングされたデジタルーアナログ（D/A）変換器は、周期的入力デジタルサンプルのサンプリング率を D/A 変換器の高い率に引き上げる 1 つまたは複数の補間段階を含む。オーバーサンプリングされた D/A 変換器がデジタル入力後を要求するたびに、DSP は、オーバーサンプリングされた D/A 変換器入力を提供するその出力レジスタの一つにデジタルサンプルを書き込むために、割り込みをかけられる。あるいは、D/A 変換器の入力と結合された A/D 出力レジスタの状態をポーリングすることによって、デジタルサンプルを DSP により獲得することが可能である。

【0003】 データ変換器は、上記用途の一つにおける DSP が割り込みを受け取ることのできる多くのソース 50 の内の 2 つにすぎない。DSP が割り込みを受信するた

びに、DSPは割り込みサービスルーチンに入る。各割り込みに関連するオーバヘッドがある。DSPは割り込みが発生したときに実行していた命令セットの実行を中止し、RAMおよびROMポインタのアドレスを保存するための割り込みサービスルーチン命令を実行し、割り込み処理後、割り込み前の状態を再構築し、割り込み発生時実行していた命令セットの実行を再開するために、データを一時的に保存するのに使用可能なメモリの部分のアドレスを知る必要がある。DSPの各割り込みは、従って、命令の実行という点でのコスト(100万命令/秒(MIPS)の単位で計測)を有する。各割り込みはDSPを有効に応用するためのより少ないMIPSに変換される。コストは、また、電力消費や損失計算時間にも変換できる。

【0004】同じ量のデータを処理するに当たり、関連するDSPに対する割り込み回数がより少ないデータ変換器を有することが望ましい。DSPの割り込み回数を減らせば、計算に利用可能なMIPSが増加し、割り込みサービスルーチン命令の不必要な実行を排除して電力が節約される。

【0005】

【問題を解決するための手段】本発明の一実施例によれば、信号をアナログ形式からデジタル形式へ、あるいはデジタル形式からアナログ形式へ変換するためのデータ変換器は記憶レジスタを含む。記憶レジスタはデジタルデータサンプルを受け取り、一時的に格納する。デジタルデータサンプルは受け取られたと同じ順序で記憶レジスタから転送される。記憶レジスタに結合されたデジタルプロセッサは、デジタルデータサンプルを記憶レジスタへ、あるいは、記憶レジスタから転送するために割り込み可能である。この様にして、デジタルプロセッサは、割り込みごとに単一のデータサンプルを転送するのではなく、各割り込み中に複数のデジタルデータサンプルを記憶レジスタへ、あるいは、記憶レジスタから転送する。これにより、与えられた数のデジタルサンプルを転送するのに必要な割り込み数を減少させている。

【0006】

【実施例】ゲインディザおよび丸めを含む説明用データ変換器10を第1図に示す。データ変換器10は、A/D型データ変換器であるコーダ90を含むアナログーデジタル(A/D)変換信号バスを有するものとして示されている。A/D変換信号バスはアナログシグマデルタ変調装置716、デシメーションフィルタ720、バレルシフトセクタ34、飽和回路36を含む。デジタルーアナログ(D/A)変換信号バスはD/A型データ変換器である復調装置92を含む。デジタルーアナログ変換バスは補間フィルタ78、バレルシフトセクタ80、飽和回路82、補間フィルタ84、デジタルシグマデルタ変調装置18、アナログ復調装置22

を含む。

【0007】データ変換器10は、プログラマブルCDIV分割・クロック分周器14により分割されてオーバーサンプリングクロック信号CKOSを生成する入力クロック信号CLKにより同期をとられている。オーバーサンプリングクロック信号CKOSはアナログシグマデルタ変調装置716、デジタルシグマデルタ変調装置18、デシメーションフィルタ720、補間フィルタ84、アナログ復調装置22に対する入力として提供され、そこで使用される。好ましい実施例においては、シグマデルタ変調装置は第2位である。オーバーサンプリングクロック信号CKOSは、また、プログラマブルM1分割・カウンタ24とプログラマブルL1分割・カウンタ74の入力としても結合されている。M1はデシメーションフィルタ720のデシメーション係数である。M1分割・カウンタ24の出力は、オーバーサンプリングクロック信号CKOSの周波数をデシメーション係数M1で割った周波数に等しい周波数を有する第2クロック信号、つまり、デシメーションクロック信号CKMを、デシメーションフィルタ720に提供する。デシメーションフィルタ720の上流部分はクロックCKOSの速さで動作する。下流部分はそれよりも低いデシメートされた速さであるクロックCKMの速さで動作する。例示してある実施例では、デシメーションフィルタ720は第3位くし型フィルタである。

【0008】A/D変換信号バス90へのアナログ入力信号は1つの入力をマルチプレクサ8に直接提供する。乗算器12においてプログラマブルゲインG1を掛けられたアナログ入力信号は、マルチプレクサ8へのもう一つの入力として提供される。マルチプレクサ8は選択入力40に応答してそのアナログ入力の内の一つをそのアナログ出力信号として選択的に提供する。

【0009】マルチプレクサ8により提供されたアナログ出力信号は、アナログシグマデルタモジュレータ716によりその入力として受け取られる。ディザ発生器26からのディザを受け取ることもあるアナログシグマデルタモジュレータは、基準化アナログ入力信号を1ビット/サンプルの第1デジタルデータストリームに変換する。技術上周知であるように、シグマデルタモジュレータにより生成された1ビット/サンプルの第1デジタルデータストリームは、0と1(符号なしデータフォーマット)により表された信号から、2の補数または符号-絶対値形式と整合するマイナス1とプラス1により表された2ビット/サンプルの信号に変換される。そのような表現は0で表された中点を有し、2の補数語の形式を取ることができ、各値に関する符号を有する。アナログシグマデルタ変調装置716の出力はマルチプレクサ28への入力を提供する。マルチプレクサ28はユーザ定義の選択入力30に応答してその入力の内の一つをその出力部において選択的に提供する。マル

チプレクサ28の出力はデシメーションフィルタ720への入力として結合される。

【0010】デシメーションフィルタ720は、クロックCKM1の周波数で1ビット/サンプルの第1デジタルデータストリームを20ビット/サンプルの第2デジタルデータストリームにろ波・デシメートする。このろ波により帯域外エネルギーを削除する。例示実施例においては、デシメーションフィルタ720は第3位くし型フィルタである。

【0011】バレルシフトセクタ34はデシメーションフィルタ720の出力部から第2デジタルデータストリームを1サンプルあたり最大20ビット受け取り、1サンプルあたり17ビットを有する第3デジタルデータストリームを出力として生成する。バレルシフトセクタ34はプログラマブルで、4つの可能なビットフィールドの内の一つ、つまり、0-16、1-17、2-18、または3-19を選択するように変更できる。

【0012】バレルシフトセクタ34から出力された17ビット/サンプルの第3デジタルデータストリームは、マルチプレクサ38を介して飽和回路36へ入力を提供する。バレルシフトセクタ34からの出力は、マルチプレクサ38への1つの入力として直接提供される。バレルシフトセクタ34からの出力は、乗算器42においてゲイン1/G1を掛けられマルチプレクサ38へのもう一つの入力とされる。発生器26からのディザがゲインスケールに追加されることもある。マルチプレクサ38は選択入力40にตอบสนองしてその入力の内の一つをその出力部において選択的に提供する。

【0013】マルチプレクサ8と38は両方とも、ゲインG1を掛けられるマルチプレクサ8への入力が選択されると、ゲイン1/G1を掛けられるマルチプレクサ38への入力が選択されるように、選択入力40にตอบสนองする。ゲインG1と1/G1を採用するゲインスケールは、アナログシングマデルタ変調装置716へのアナログ入力信号がフルスケール未満の場合、フルスケールつまり0dB基準であるマルチプレクサ38からのパルス符号変調された出力となる。ゲインG1は単位元のゲインを維持するために選択される。このように、アナログ-デジタル信号パス(マルチプレクサ8の入力からマルチプレクサ38の出力まで)の絶対ゲインは、ゲインスケールが使用されているされていないに関わらず同じである。

【0014】飽和回路36はマルチプレクサ38から出力された17ビット/サンプルの第4デジタルデータストリームを取り、各データサンプルを16ビットサンプルに減少する。飽和回路36の出力は16ビット/サンプルの第5デジタルデータストリームである。

【0015】飽和回路36から出力された16ビット/サンプルの第5デジタルデータストリームは、先入れ先出し(FIFO)レジスタ44にロードされる。レジ

スタ44はいくつかのそのようなデータのサンプルを格納する。FIFO44から、16ビットサンプルが、ランダムアクセスメモリ(RAM)48に書き込まれる前に、一時的にレジスタ46に転送される。RAM48はデジタル信号プロセッサ(DSP)50の一部である。DSPはリアルタイムのデジタルデータに対して数学的演算を効率よく実行するために開発された専用マイクロプロセッサである。サンプルは深度フラグ54と割り込みフラグ56により制御されたように内部データバス52を経由して転送される。

【0016】デジタル-アナログ変換信号バスは、DSP50のRAM48からのデジタルデータをアナログ復調装置22の出力部においてアナログ形式に変換するものである。アナログ形式に変換するDSP50のRAM48からのデジタルデータは、16ビットサンプルとしてレジスタ58に一時的に書き込まれる。各16ビットサンプルは、次に、深度フラグ60、状態フラグ61、割り込みフラグ62により制御されたようにFIFO64に転送される。FIFO64からの出力は16ビット/サンプルの第6デジタルデータストリームである。第6デジタルデータストリームはマルチプレクサ68を介して補間フィルタ78に入力される。FIFO64から出力された第6デジタルストリームは、マルチプレクサへの入力の内の一つとして直接提供される。第6デジタルデータストリームは乗算器72においてゲインG2の逆数を掛けられマルチプレクサ68へのもう一つの入力となる。マルチプレクサ68は選択入力72にตอบสนองしてその入力の内の一つをその出力として選択的に提供する。マルチプレクサ68の出力は第7デジタルデータストリームである。

【0017】第7デジタルデータストリームは補間フィルタ78への入力として提供されている。補間フィルタ78はクロックCLK1とCLK2を受け取る。クロックCLK1は補間係数L1でクロックCKOSを割ったものである。クロックCLK2は補間係数L2でクロックCLK1を割ったものである。補間フィルタ78からの出力は27ビット/サンプルの第8デジタルデータストリームである。補間フィルタ78は、例示実施例においては、帯域外エネルギーを削除し、オーバーサンプリング周波数をL1で割った周波数で第8デジタルデータストリームを生成する第3位くし型フィルタである。補間フィルタ78の上流部は低クロック速度のCLK2で動作する。上流部は高クロック速度のCLK1で動作する。

【0018】第8デジタルデータストリームはバレルシフトセクタ80への入力を提供する。バレルシフトセクタ80は補間フィルタ78の出力部から27ビット/サンプルの第8デジタルデータストリームを受け取り、1サンプルあたり17ビットのフィールドを選択してその出力として第9デジタルデータストリームを

提供する。バレルシフトセクタ 80 のフィールドはプログラマブルである。例示実施例においては、17ビットフィールドが 11 個ある。例示実施例においては、バレルシフトセクタ 80 のフィールドは最初の 7 個のビットフィールドである 4-20、5-21、6-22、7-23~10-26 の内の一つを選択するようプログラムされている。

【0019】飽和回路 82 はバレルシフトセクタ 80 から出力された 17 ビット/サンプルの第 9 デジタルデータストリームを受け取り、各サンプルを 16 ビットに減少して飽和回路 36 と略同じように第 10 デジタルデータストリームを提供する。

【0020】補間フィルタ 84 は第 10 デジタルデータストリームを受け取り、プログラマブル L 1 分割により分割されたオーバーサンプリングクロック速度で動作する。補間フィルタ 84 の上流部は低クロック速度 CKL1 で動作する。下流部は高クロック速度 CKOS で動作する。補間フィルタ 84 は、例示実施例においては、帯域外エネルギーを削除し、第 11 デジタルデータストリームを出力として生成する第 1 位くし型フィルタである。

【0021】補間フィルタ 84 の第 11 デジタルデータストリーム出力はデジタルシグマデルタ変調装置 18 への入力として結合される。例示実施例におけるデジタルシグマデルタ変調装置 18 は第 2 位である。変調装置 18 はディザ発生器 26 からのディザを受け取ることもあり、16 ビット/サンプルのデータを 1 ビット/サンプルの第 12 デジタルデータストリームに変換する。

【0022】デジタルシグマデルタ変調装置 18 の出力はマルチプレクサ 86 への入力を提供する。マルチプレクサ 86 は選択入力 88 に応答して入力の内の一つをその出力部において選択的に提供する。マルチプレクサの出力は 1 ビット/サンプルの第 13 デジタルデータストリームである。

【0023】アナログ復調装置 22 は 1 ビットサンプルで、マルチプレクサ 86 から受け取った 1 ビット/サンプルの第 13 デジタルデータストリームを階段状連続アナログ出力信号に変換する変換器を保持している。アナログ復調装置 22 はアナログ出力信号を平滑にする技術的に周知の 1 つまたは複数のアナログフィルタを含む。アナログ復調装置 22 からのアナログ出力信号はマルチプレクサ 96 への入力の一つとして直接提供され、乗算器 94 においてゲイン G2 を掛けられマルチプレクサ 96 へのもう一つの入力を提供する。ゲイン G2 は任意の周知の方法で得られる。マルチプレクサ 96 は選択入力 70 に応答してその入力の内の一つをその出力として選択的に提供する。マルチプレクサ 96 の出力はアナログ信号である。マルチプレクサ 68 と 96 は両方とも、ゲイン 1/G1 を掛けられるマルチプレクサ 68 へ

の入力が選択されると、ゲイン G2 を掛けられるマルチプレクサ 96 への入力を選択されるように、選択入力 70 に応答する。ゲイン G2 は単位元のゲインを維持するために選択される。このように、ディジタル-アナログ信号パス（マルチプレクサ 68 の入力からマルチプレクサ 96 の出力まで）の絶対ゲインは、ゲインスケールリングが使用されているされてないに関わらず同じである。

【0024】DSP により発生させられる割り込み数を減少するために、DSP で使用可能なデジタルデータストリームサンプルを一時的に格納するためのレジスタが提供されている。データはレジスタを非同期的に脈動して通過することもできるし、また、クロックで同期を取ってレジスタを通過することもできる。好ましい実施例においては、レジスタは同期先入れ先出しレジスタ 44 となっている。FIFO においては、データは順次ロードされ、同じ順序でアンロードされる。デシメータ 20 からのデシメートされたデジタルデータストリームは、バレルシフトセクタ 34 と飽和ブロック 36 を通過し 16 ビット/サンプルのデジタルデータストリームとなる。各 16 ビット/サンプルの語は FIFO 44 において次に使用可能なレジスタに格納される。例として、代表的な FIFO は 8 個のレジスタといった複数のレジスタを有し、各レジスタは 16 ビットの語を格納する。プログラマブル FIFO 深度ポインタ 54 は、DSP に割り込みをかける目的で FIFO がいつ「フル」になるかを定義するために、あらかじめ選択されたレジスタ数にユーザにより設定され、標準的には、FIFO の全深度未満とする。FIFO 44 の深度ポインタ 54 は 1 から FIFO の全深度までの任意の整数にプログラムできる。FIFO 状態フラグ 55 は FIFO 44 に格納された瞬間サンプル数を示す。深度フラグにより示されたレジスタ数がフルの場合、割り込みフラグ 56 が遷移して DSP に割り込みをかける。DSP は割り込みサービスルーチンに入り、FIFO 44 の割り込みを処理すると、FIFO 44 に格納されている各語は、DSP 50 RAM 48 に転送される前に、FIFO 44 内のその位置から一時的にレジスタ 46 に転送される。深度フラグが FIFO 44 の総深度未満の値に設定されている場合、飽和回路からの次のデジタルデータサンプルを受け取る前に FIFO 44 に格納されているデジタルデータサンプル全てを DSP RAM に転送する必要はない。このようにして、割り込みの処理のタイミングに柔軟性を持たせている。FIFO 44 の容量と深度フラグ設定値間の差により表されるレジスタは、DSP の割り込みのタイミングにクッションを与えるのに使用できる。FIFO 44 のレジスタが全てフルになると、FIFO が飽和ブロック 36 から次のデジタルデータサンプルを受け取る前にデータが FIFO から DSP RAM へ転送されることを、あるいは、次のデータを受け取るとオーバーフロー状態となるであろうことを、DSP は

保証する必要がある。

【0025】サンプリング率変換は、第2図に示すように、デシメーションの他の段階においてDSP50内で実現することもできる。DSP50に転送されたデジタルデータサンプルは、ローパスフィルタにかけられ、次いで、デシメーションフィルタ352においてデシメーション率M2によりデシメートされる。ハードウェアデシメータにより処理されたデータは一般には同期させて処理されるが、DSP50内のデシメータにより処理されたデータは同期させてもあるいはバーストでも処理できる。DSP50内のデシメーションの場合、デシメーションフィルタ352の動作に適したクロック信号CPDはクロック発生器360により生成される。第2クロック信号CPDM2は、M2分割・カウンタ351においてデシメーション率M2によりクロック信号を分割することで、そこから得られる。

【0026】オーバーサンプリング率はデシメーションの段階全てのデシメーション率の積である。ここでの2つの段階のデシメーションは、総オーバーサンプリング率 $M1 \times M2$ となる。FIFO44から受け取った各M2デジタルデータサンプルの場合、1つのデシメートされたデジタルデータサンプルがデシメーションフィルタ352により作成される。一般には、深度ポインタ54はデシメーション率M2の約数または倍数に等しい値に設定されるであろう。たとえば、M2が4であるとすれば、深度ポインタは1、2、4、8、12、... 最大FIFOの深度に設定できる。単一の割り込み中、DSPはRAMに転送可能なデジタルデータサンプルを読み込み、割り込みサービスルーチンから抜ける。深度ポインタが1を越える場合、デジタルデータサンプルを受け取るDSPが経験する割り込み数は、デジタルデータサンプルが使用可能になるごとにDSPに割り込みをかける場合に比べ減少する。深度ポインタを4に設定すると、1つの割り込みごとに1つのデジタルデータのサンプルを転送する場合に比べ、同じ量のデジタルサンプルを転送するのに1/4の割り込み数に減少する。各割り込み時に、DSPは一般に深度ポインタにより設定されたデジタルデータサンプル数、この例では4を転送する。FIFO深度ポインタがデシメーション率M2の大きさよりも低く設定されている場合、DSP50においてデシメーション機能を実行するためにM2データサンプルをデシメーションフィルタ352に提供するのに1つの割り込みより多くの割り込みが必要となるであろう。これに相応して、深度ポインタがM2より大きい場合、各割り込み中にM2デジタルデータサンプル数を越えるデジタルデータサンプルが転送される。いくつかのあるいは全ての割り込み間で、複数のデシメーション動作がDSP50により実行されることがある。FIFO深度ポインタがFIFOの総深度未満であれば、追加サンプルはFIFOがオーバフローしない

うちにFIFOに書き込める。従って、データをそう失せずに割り込みに対する割り込み処理をする必要がない。

【0027】デジタルデータがDSP50により一旦デシメートされると、デシメートされたデジタルデータサンプルはDSP50により更に処理されるか、あるいは、RAM48に格納されることになる。あるいは、デシメートされたデジタルデータはシリアルまたはパラレル入出力ポート354に提供されてDSPチップから取り出されることも可能である。

【0028】FIFOがない場合、処理のための最小数の語がDSPに転送されるまで、DSPは一度に1個のデジタルデータサンプルまたは語ずつ取り込むであろう。FIFO44を使用することで、各割り込み発生時に転送される語の数として選択された語の数を、DSP処理のための少なくとも最小数、あるいは、その最小数の倍数として選択可能になる。

【0029】割り込み数もまたD/Aパスにおいて減少される。DSPにより発生された割り込み数を減らすために、DSPから受け取るデジタルデータストリームを一時的に格納するレジスタが提供される。好ましい実施例においては、本レジスタは同期先入れ先出しデータレジスタ(FIFO)64である。DSP50から受け取ったデジタルデータストリームは、FIFO64に転送される前にレジスタ58に一時的に格納される。各16ビット/語のデジタルデータサンプルはFIFO64における次に使用可能なレジスタに格納される。プログラマブルFIFO深度ポインタ60はあらかじめ選択されたレジスタ数、一般に0、に設定される。FIFO深度ポインタ60は、DSPに割り込みをかける目的でFIFOが「空」であるときみなされたときのデータを保持する最小レジスタ数を定義する。深度ポインタ60がこのFIFOの最小深さより大きく設定されている場合、たとえFIFO深度ポインタ60がFIFOは空であると示したとしても、FIFO64において使用可能な追加デジタルデータサンプルがあるようにバッファが内蔵されている。深度ポインタ設定値により表された数のレジスタは、DSPの割り込みにクッションを与えるのに利用される。FIFO64のレジスタ全てが空の場合、補間フィルタ78が次のデジタルデータサンプルを要求する前にデータがDSP RAMからFIFO64に転送されることを、DSPは保証する必要がある。FIFO状態フラグ61はFIFO64に格納されている瞬間サンプル数を示す。深度フラグにより示されるレジスタ数が空の場合、割り込みフラグ62は遷移してDSPに割り込みをかける。FIFOが空で、デコーダ92が次のサンプルを読み込もうとするとアンダーフロー状態が発生するであろう。

【0030】サンプリング率変換は、また、補間の他の段階においてDSP50内で実現できる。RAM48か

ら取得された、DSP50内で生成された、あるいは、シリアル入力ポート354またはパラレル入力ポート358を介して受け取られたデジタルデータサンプルは、補間フィルタ356により補間される。補間フィルタ356はそれが受け取るデジタルデータサンプルを補間率L3で補間し、補間されたサンプルにローパスフィルタをかける。補間フィルタ78と84に関する上記ハードウェア補間は一般にリアルタイムで行われるが、DSP50内の補間は同期してもあるいはバーストでも行える。DSP50内の補間の場合、補間フィルタ356の動作モードに適したクロック信号CPIはクロック発生器360により発生される。第2クロック信号CPI L3は、L3分割・カウンタ357において補間率L3によりクロック信号を分割することで、そこから得られる。

【0031】補間フィルタ356は率Fsでデジタルデータサンプルを補間し、受け取った各デジタルデータサンプルについてL3サンプル生成する。例として、深度ポインタはゼロに設定でき、FIFO空フラグがゼロになったときFIFO64が空であることを示す。DSP割り込みが次に生成され、DSPはL3データサンプルをFIFOに書き込む。次の割り込みは、オーバーサンプリングデコーダ92がL3サンプルを全て読み込んだとき発生するであろう。そして、FIFO空ポインタはまたゼロになる。この例では、結果として割り込み数は係数L3により減少される。別の例では、L3がFIFOの最大深さより大きい場合、(L3)/2のようなデータサンプルのL3数の約数を割り込み時にFIFOに書き込める。更に別の例では、2(L3)のようにL3の倍数であるデータサンプル数を割り込み時にFIFOに書き込める。これらの例のいずれの場合も、FIFO深度ポインタは0ではなく1またはそれ以上の値に設定でき、DSPが割り込みの処理をしなければならなくなる前の時間的クッションを可能にする。FIFOポインタが(L3)-1に設定されていると、このクッション時間間隔は、DSPからの補間されたデータサンプルの完全な1セットからなる。これは、DSPのシステムレベルの割り込みが補間フィルタ356に入るベースバンドデータ率の約数で発生するアプリケーションにおい

て有用である。このような例は、記号率が一般には少なくともベースバンドデータ率より2少ない係数であるモデムにおいて発生する。

【0032】本発明は、本機能を単一チップの信号プロセッサとして製造できる集積回路を使用する通信システムや装置において特に有用である。このような通信システムや装置は、与えられた量のデータを処理する場合、デジタル信号プロセッサへの割り込み回数が少ないという利点があり、割り込みサービスルーチン命令の不必要な実行を削除することによって電力を節約している。

【0033】例示実施例はデシメーションまたは補間フィルタリングを行うオーバーサンプリング変換器を含むものとして説明されたが、反転を非オーバーサンプリング変換器に適用することも可能である。他の応用例は、デジタルプロセッサはブロック全体のデータを更に処理する前に大きなブロックのデータを取得する必要があるオーディオ及びビデオ変換符号化や通話符号化を含む。

【0034】本発明は例示実施例を開示するのに使用された数値に制限されるものではない。例示実施例において、各種要素からのビット幅出力、各種フィルタの順序、補間及びデシメーション係数の範囲、パレルシフトセレクトの出力フィールドや範囲、飽和のビット数等は具体例としてあげたものである。

【0035】本発明の例示実施例は待ち時間を減らすためのパイプライン方式または並行方式を組み込んだものとして説明されなかったが、そのような技術を利用することによって計算効率を向上できることは当業者には理解できることであろう。

【図面の簡単な説明】

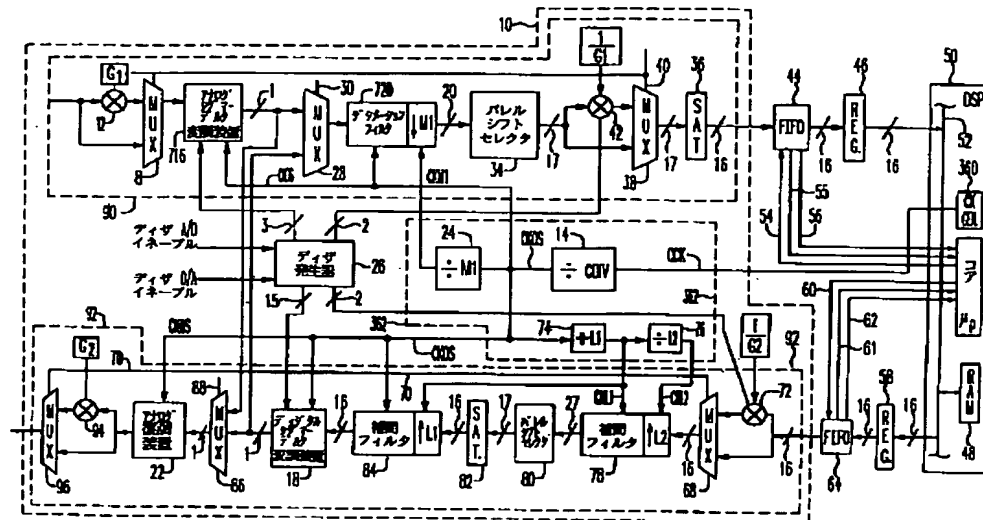
【図1】本発明の実施例に係るデータ変換器のブロック図。

【図2】図1のデータ変換器の一部についてのブロック図。

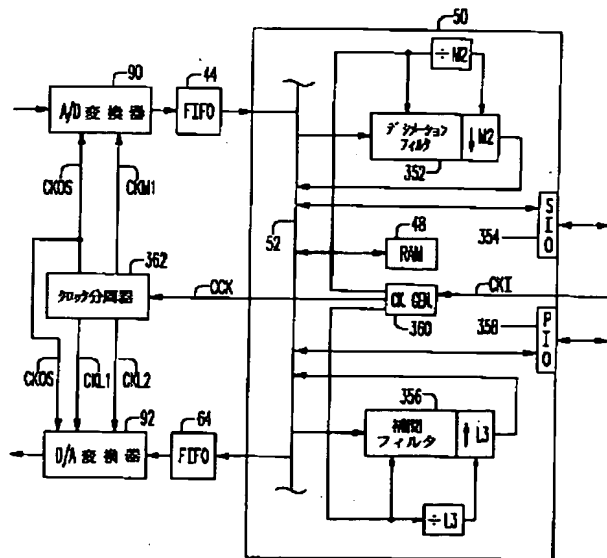
【符号の説明】

10	データ変換器
50	デジタルプロセッサ
90	アナログデジタル変換器
92	復調装置

【図 1】



【図 2】



フロントページの続き

(72)発明者 リチャード マスカベージ
アメリカ合衆国 19525 ペンシルヴァニア,
ギルバーツビル, トーマス サークル 2345

(72)発明者 スチーヴン ロバート ノースワースイ
アメリカ合衆国 18049 ペンシルヴァニア,
エマウス, ウッドファーン ドライヴ 6365

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.